

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

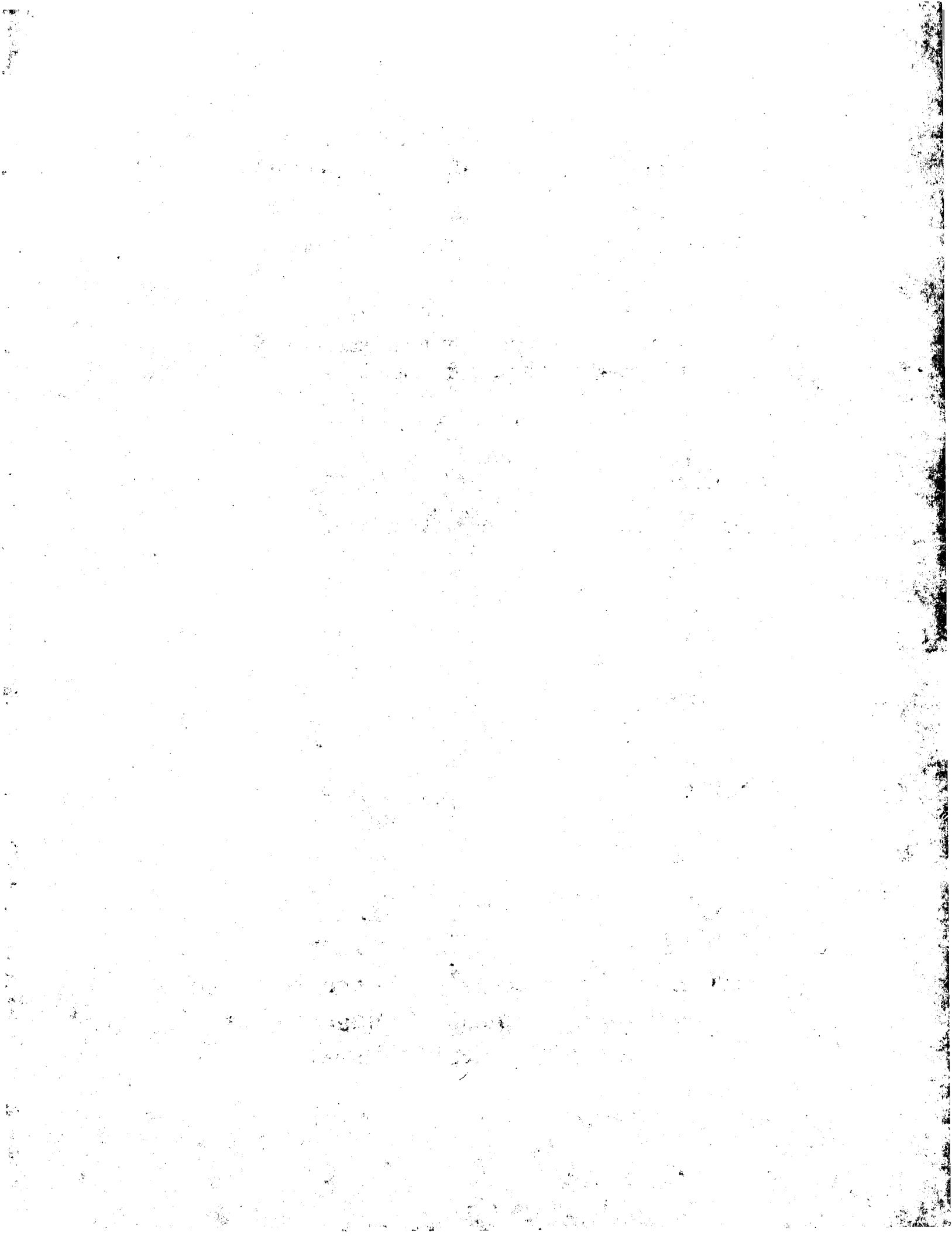
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

03649

(11)Publication number : 2000-183533  
(43)Date of publication of application : 30.06.2000

(51)Int.CI. H05K 3/46  
H05K 9/00

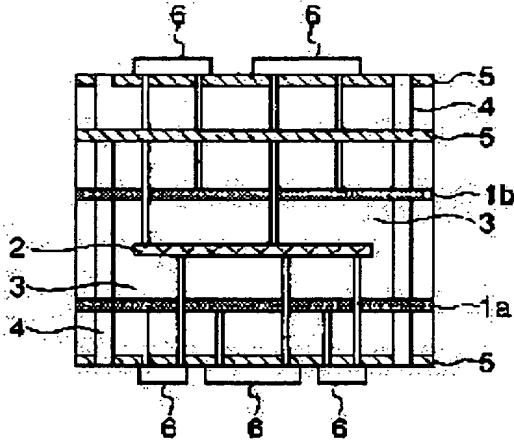
(21)Application number : 10-359024 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 17.12.1998 (72)Inventor : UCHIDA TAKESHI  
OKA NAOHITO  
MIYAZAKI CHIHARU

## (54) LOW-EMI MULTILAYER CIRCUIT BOARD AND ELECTRIC AND ELECTRONIC DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress unnecessary radiating noise by shielding a power supply layer with a first ground layer and a second ground layer, and connecting the first and second ground layers via through holes.

**SOLUTION:** A power supply layer 2 is sandwiched between a first ground layer 1a and a second ground layer 1b having a large area, adjacently positioned above and below the power supply layer 2 with a gap in-between, and the first ground layer 1a and the second ground layer 1b are electrically connected with each other via through holes 4 positioned outside the power supply layer 2, that is, positioned on the peripheral side so that the power supply layer 2 is encircled with the through holes. As a result, the power supply layer 2 is shielded at its upper, lower and peripheral portions, and thus unnecessary radiation from the power supply layer 2 is suppressed. Therefore, unnecessary radiation from the power supply layer 2 in the direction of the sides of the substrate is suppressed, and installation of members for unnecessary radiation control is not required, and accordingly the manufacturing cost can be reduced.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

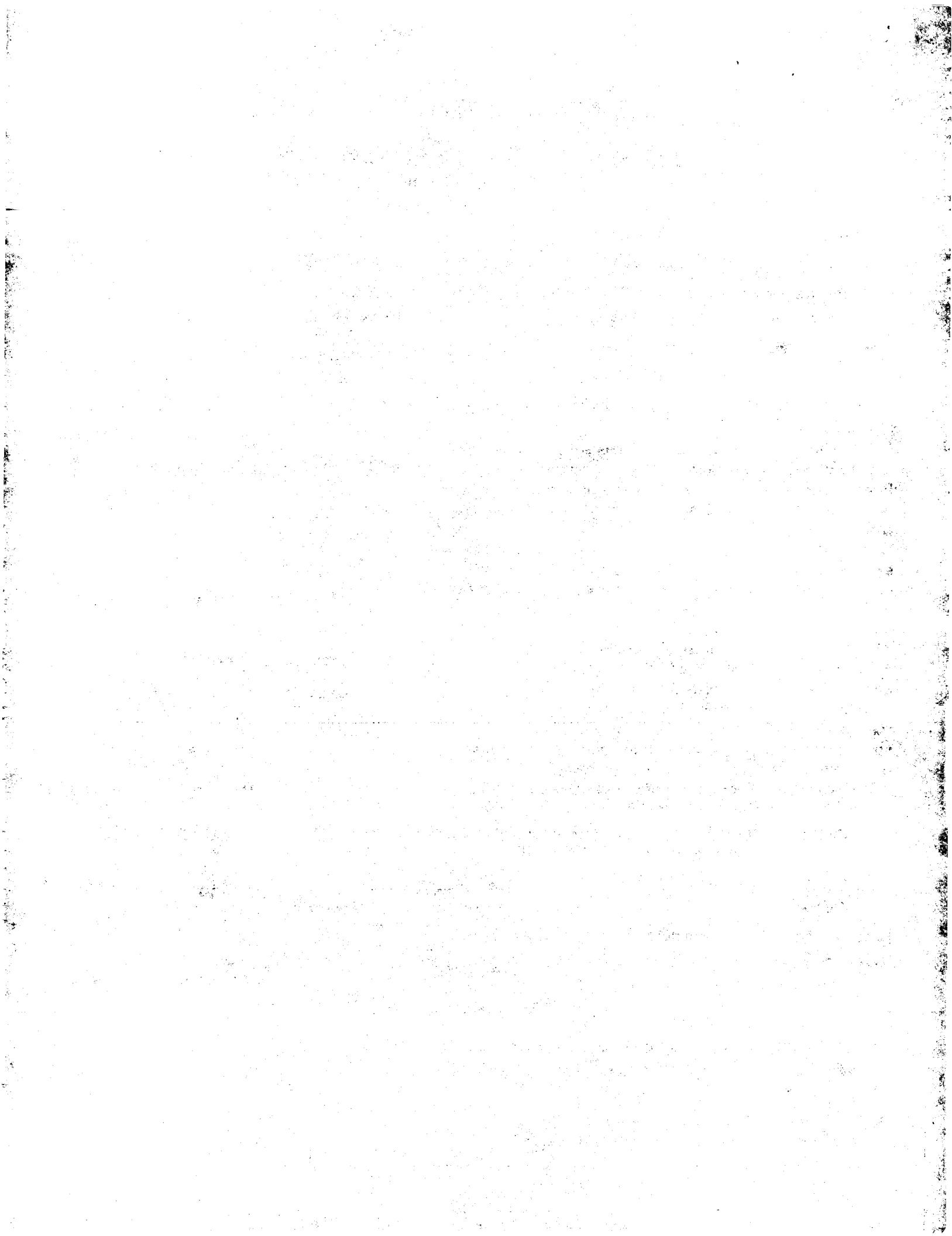
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-183533  
(P2000-183533A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.<sup>7</sup>

H 05 K 3/46  
9/00

識別記号

F I

H 05 K 3/46  
9/00

マーク (参考)

N 5 E 3 2 1  
R 5 E 3 4 6

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21)出願番号 特願平10-359024

(22)出願日 平成10年12月17日 (1998.12.17)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 内田 雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 岡 尚人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100057874

弁理士 曾我 道照 (外7名)

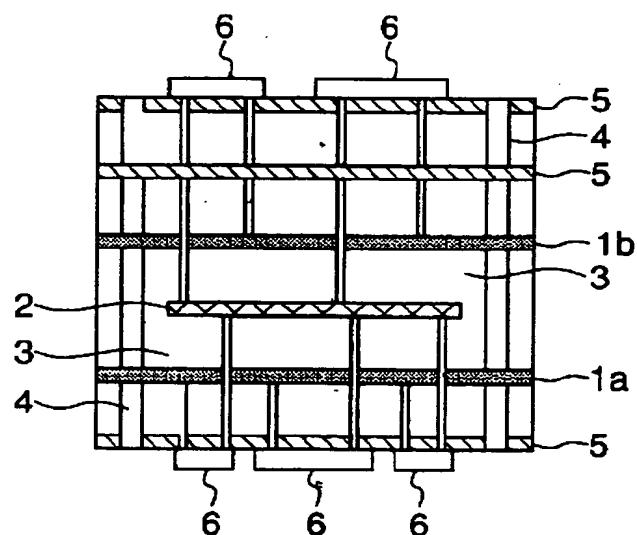
最終頁に続く

(54)【発明の名称】 低EMI多層回路基板及び電気・電子機器

(57)【要約】

【課題】 高性能の多層回路基板及び電子機器の提供。

【解決手段】 多層回路基板において、電源層を第一のグランド層と第二のグランド層とでシールドすると共に、上記第一及び第二のグランド層をスルーホールで電気的に接続したことを特徴とする。



(2)

1

## 【特許請求の範囲】

【請求項1】 多層回路基板において、電源層が第一のグランド層と第二のグランド層とでシールドされると共に、上記第一及び第二のグランド層がスルーホールで接続されたことを特徴とする低EMI多層回路基板。

【請求項2】 アナロググランドとデジタルグランドとを備えた多層回路基板において、デジタルグランドを用いて第一及び第二のグランド層が形成されたことを特徴とする請求項1に記載の低EMI多層回路基板。

【請求項3】 アナログ回路とデジタル回路とを備えた多層回路基板において、

上記デジタル回路の下方に電源層が配置され、当該電源層の上下に第一のデジタルグランド層と第二のデジタルグランド層とが配置されると共に、第一のデジタルグランド層と第二のデジタルグランド層とを接続するスルーホールが上記電源層を囲むように配置されたことを特徴とする請求項1又は請求項2に記載の低EMI多層回路基板。

【請求項4】 アナログ電源とデジタル電源とを備えた多層回路基板において、

上記多層回路基板に配置された電子部品に電気的に接続された第一及び第二のグランド層と、当該第一のグランド層と第二のグランド層との間に挟まれたデジタル電源層とを有し、上記第一のグランド層と第二のグランド層とを接続するスルーホールが上記デジタル電源層を囲むように配置されたことを特徴とする請求項1乃至請求項3の何れかに記載の低EMI多層回路基板。

【請求項5】 アナログ回路とデジタル回路とを備えた多層回路基板において、

上記アナログ回路の下方にデジタル電源を配線する場合、デジタル回路部とアナログ回路部との境にノイズフィルタを配置させたことを特徴とする請求項1乃至請求項4の何れかに記載の低EMI多層回路基板。

【請求項6】 複数種類のデジタル電源を基板内に備えた多層回路基板において、

上記デジタル電源の全てが第一及び第二グランド層の間に挟まれて配置されたことを特徴とする請求項1乃至5の何れかに記載の低EMI多層回路基板。

【請求項7】 複数種類のデジタル電源を基板内に備えた多層回路基板において、上記デジタル電源の各々をグランド層の間に挟まれるように配置されたことを特徴とする請求項1乃至5の何れかに記載の低EMI多層回路基板。

【請求項8】 請求項1乃至請求項7の何れかに記載の低EMI多層回路基板を搭載したことを特徴とする電気・電子機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低EMI多層回路基板に関し、詳しくは、回路基板の高密度実装化やI

2

C、LSI素子の高速化に伴って不要に輻射されるEMIを抑制する多層回路基板及びこの多層回路基板を備えた電気・電子機器に関する。

【0002】

【従来の技術】 図9は、例えば、特開平9-283974号公報に示された従来の低EMI多層回路基板である。この従来例における不要輻射の抑制方法について説明する。この回路基板においては、電源層(V)2とグランド層(GND1)1とで誘電体層(C1)3を挟んで容量C1を形成し、電源層(V)2とグランド層(GND2)1とで誘電体層(C2)3を挟んで容量C2を形成し、更に、グランド層(GND1)1とグランド層(GND2)1とで抵抗体層(R1)15を挟んで抵抗R0を形成している。

【0003】 この場合、電源層(V)2とグランド層(GND1)1、電源層(V)2とグランド層(GND2)1とで形成される2つの平行線路は、線路終端が開放されるた状態となるため、特定の周波数帯域では端部に大きな電位変動を発生する。しかし、2つのグランド層(GND1及びGND2)で形成された平行線路の内部に配置されるため、電位変動に伴う定在波は、整合終端抵抗R0により吸収される。つまり、抵抗体層R015により整合終端させて、定在波終端による電位変動を吸収させ、不要輻射を抑制している。

【0004】

【発明が解決しようとする課題】 上記のような従来技術では、グランド層(GND1及びGND2)間に誘電体層の他に抵抗体層を形成するために、基板の開発工程が増えるという問題があった。又、通常の誘電体層の他に抵抗体層を設けるために、基板の設計コストが増大するという問題があった。又、一つの基板にデジタル回路とアナログ回路とが混在している場合、アナログ回路・デジタル回路の各電源層、グランド層の扱いが不明確である。

【0005】 本発明は、上記問題の解決を目的とし、電気・電子機器に搭載する多層回路基板から不要に輻射するEMIを抑制するための基板の層構成と、この基板を用いた電気・電子機器の提供を目的とする。

【0006】

【課題を解決するための手段】 本発明の低EMI多層回路基板は、多層回路基板において、電源層が第一のグランド層と第二のグランド層とでシールドされると共に、上記第一及び第二のグランド層がスルーホールで接続されたことを特徴とする。

【0007】 又、本発明の低EMI多層回路基板は、アナロググランドとデジタルグランドとを備えた多層回路基板において、デジタルグランドを用いて第一及び第二のグランド層が形成されたことを特徴とする。

【0008】 又、本発明の低EMI多層回路基板は、アナログ回路とデジタル回路とを備えた多層回路基板に

50

(3)

3

において、上記ディジタル回路の下方に電源層が配置され、当該電源層の上下に第一のディジタルグランド層と第二のディジタルグランド層とが配置されると共に、第一のディジタルグランド層と第二のディジタルグランド層とを接続するスルーホールが上記電源層を囲むように配置されたことを特徴とする。

【0009】又、本発明の低EMI多層回路基板は、アナログ電源とディジタル電源とを備えた多層回路基板において、上記多層回路基板に配置された電子部品に電気的に接続された第一及び第二のグランド層と、当該第一のグランド層と第二のグランド層との間に挟まれたディジタル電源層とを有し、上記第一のグランド層と第二のグランド層とを接続するスルーホールが上記ディジタル電源層を囲むように配置されたことを特徴とする。

【0010】又、本発明の低EMI多層回路基板は、アナログ回路とディジタル回路とを備えた多層回路基板において、上記アナログ回路の下方にディジタル電源を配線する場合、ディジタル回路部とアナログ回路部との間にノイズフィルタを配置させたことを特徴とする。

【0011】又、本発明の低EMI多層回路基板は、複数種類のディジタル電源を基板内に備えた多層回路基板において、上記ディジタル電源の全てが第一及び第二グランド層の間に挟まれて配置されたことを特徴とする。

【0012】又、本発明の低EMI多層回路基板は、複数種類のディジタル電源を基板内に備えた多層回路基板において、上記ディジタル電源の各々をグランド層の間に挟まれるように配置されたことを特徴とする。

【0013】又、本発明の電気・電子機器は、上記の本発明に係る何れかの低EMI多層回路基板を搭載したことを特徴とする。

【0014】

【発明の実施の形態】実施の形態1. 実施の形態1は、多層回路基板において、電源層を第一のグランド層と第二のグランド層とで挟んでシールド構造とし、上記の第一グランド層と第二のグランド層とを電気的に接続した構成である。これを多層回路基板の層構成を示す図1において説明する。図中の1aは第一のグランド層(GND1)、1bは第二のグランド層(GND2)、2は電源層、3は誘電体層で、第一のグランド層(GND1)1aと電源層2との間、及び、電源層2と第二のグランド層(GND2)1bとの間に形成されている。4はスルーホールで、第一のグランド層1a(GND1)と第二のグランド層(GND2)1bとを電気的に接続する手段の一例として示してある。このスルーホール4は電源層2よりも外部に、即ち電源層2が配置された領域からは離れた位置にあって、当該電源層2を囲むように配置されている。上記の第一のグランド層1a(GND1)と第二のグランド層(GND2)1bとは、電源層2のシールドが十分可能となるようにその面積を広く形成し、逆に電源層2は狭く形成されている。この多層回

(4)

4

路基板に実装された種々の電気・電子部品6は、第一のグランド層(GND1)1a及び第二のグランド層(GND2)1bに接続され、更には電源層2に接続されている。尚、図中の5は信号層である。

【0015】次に、不要輻射の抑制について説明する。不要輻射の原因となるノイズが重量する電源層2を、この電源層2の上下に間隔を置いて隣接させた広い面積を持つ第一のグランド層(GND1)1aと第二のグランド層(GND2)1bとで間隔を置いて挟み、この電源層2の外部、即ち外周側に当該電源層2を囲うように配置されたスルーホール4で、上記の第一のグランド層

10 (GND1)1aと第二のグランド層(GND2)1bとを電気的に接続することによって、電源層2の上下及び周囲をシールドすることで、当該電源層2からの不要輻射が大幅に抑制される。殊に、この実施の形態1では、複数のスルーホール4を、多層回路基板の端面側に沿って当該電源層2を囲むように配設してあるので、基板の側面方向への電源層2からの不要輻射が大幅に抑制される。従って又、このスルーホール4に代えて、別途

20 に、不要輻射抑制用の部材の調達や取付の必要がなくなり、製造コストを削減することができ、スルーホール4を用いることで、部品実装面で有効活用することができる。

【0016】尚、電源層2を挟んでグランド層(GND1)1aとグランド層(GND2)1bとを接続する際には、貫通スルーホールやIVH(Inner Via Hole)の何れも使うことができる。又、上記の電源層2は、ディジタル回路専用のディジタルグランドのみであっても、ディジタルグランド層とアナロググランド層の共通のグランド層であってもよい。

【0017】以上のように、この実施の形態1によれば、不要輻射を簡易な手段にて容易に抑制することができる。又、多層回路基板の電源層2と第一のグランド層(GND1)1aと第二のグランド層(GND2)1bとをスルーホール4で接続することによって、多層回路基板の電源層2から横方向に流れる不要輻射を抑制することができる。

【0018】実施の形態2. 実施の形態2は、アナロググランドとディジタルグランドとを備えた上記実施の形態1の多層回路基板において、ディジタルグランドのみを用いて、第一及び第二のグランド層を形成した構成である。図2はこの層構成を示す構成図である。尚、図2において、図1に示す実施の形態1と同一部分は同一符号を付して、その説明を省略する。新たな符号として、7a及び7bは第一及び第二のグランドとしてのディジタルグランドである。

【0019】多層回路基板内にディジタルグランドとアナロググランドとがある場合には、ディジタルグランドのみを使用して、上記実施の形態1でいう、電源層2をシールドする第一のグランド層(GND1)7aと第二

(4)

5

のグランド層 (GND 2) 7 b とを構成することにより、電源層 2 からの不要な輻射を抑制することができる。

【0020】又、上記のように構成すると、デジタルグランド 7 a, 7 b のみを用いて電源層 2 をシールドするため、他方のアナロググランドを電源層 2 から分離して遠ざけることが可能になり、電源層 2 からアナロググランドへのカップリングによるアナロググランドの電位変動を少なくすることができる。又、当該多層回路基板において、デジタルグランドとアナロググランドとの区別がなく、単にグランドのみがある場合には、これを以って、第一のグランド層 (GND 1) 7 a 及び第二のグランド層 (GND 2) 7 b を形成することも可能である。

【0021】以上のように、この実施の形態 2 によれば、当該多層回路基板にデジタルグランドとアナロググランドを設ける場合、デジタルグランド 7 a, 7 b のみを使用することにより、上記実施の形態 1 の作用効果に加え、アナロググランドの電位変動を少なくすることが可能になる。

【0022】又、当該多層回路基板において、デジタルグランドとアナロググランドの区別がなく、単にグランドのみがある場合には、これを以って、第一のグランド層 (GND 1) 7 a 及び第二のグランド層 (GND 2) 7 b を形成して、当該多層回路基板のグランドを強化することも可能になる。

【0023】実施の形態 3. 実施の形態 3 は、アナログ回路とデジタル回路とを備えた上記実施の形態 1 や 2 の多層回路基板において、デジタル回路の下方に電源層を設け、当該電源層の上下に第一のデジタルグランド層と第二のデジタルグランド層とを配置すると共に、第一のデジタルグランド層と第二のデジタルグランド層とを接続するスルーホールを上記電源層の外周側を囲むように配置した構成である。

【0024】図 3 に示す例では、多層回路基板内に、第一のデジタルグランド層 (GND 1) 7 a を基板一面に設けている。このデジタル回路 9 の下方には、例えば、当該デジタル回路 9 が占める領域の下層部のみに第二のデジタルグランド層 (GND 2) 7 b を設け、この第二のデジタルグランド層 (GND 2) 7 b よりも狭面積に形成した電源層 2 を、第一のデジタルグランド層 (GND 1) 7 a と第二のデジタルグランド層 (GND 2) 7 b との間に間隔を置いて配置している。更に、第一のデジタルグランド層 (GND 1) 7 a と第二のデジタルグランド層 (GND 2) 7 b とを接続するスルーホール 4 を、上記電源層 2 の外周側を囲むように、その外部に複数配置することで、電源層 2 からの不要輻射を抑制している。

【0025】又、上記のデジタル回路 9 とアナログ回路 10 との配置関係は、当該多層回路基板を上方から見下ろした場合に、即ち平面的に観て、両回路が重ならないように分離した配置とすることにより、上記実施の形態 1 及び 2 に記載の作用効果に加えて、デジタル電源層 2 からアナログ回路 10 へのカップリングを抑制することができる。

6

下ろした場合に、即ち平面的に観て、両回路が重ならないように分離した配置とすることにより、上記実施の形態 1 及び 2 に記載の作用効果に加えて、デジタル電源層 2 からアナログ回路 10 へのカップリングを抑制することができる。尚、アナロググランドは、上記の第一及び第二のデジタルグランド層 7 a, 7 b で挟まれた層以外の何れかの層に配線する。

【0026】実施の形態 4. 実施の形態 4 は、アナログ電源とデジタル電源とを備えた多層回路基板において、多層回路基板に配設された電気や電子部品に電気的に接続された第一及び第二のグランド層 7 a, 7 b と、この第一及び第二のグランド層 7 a, 7 b との間に挟まれ、上記電気・電子部品に電気的に接続されたデジタル電源層 2 を、上記第二のグランド層よりも狭く形成して配置し、上記第一のグランド層と第二のグランド層 7 a, 7 b とを、上記デジタル電源層 2 の外部に囲むように設けられたスルーホールで接続した構成である。図 4 は、この実施の形態 4 の層構成を示す構成図である。図 4 において、図 1、2 及び 3 に示す実施の形態 1、2 及び 3 と同一部分は同一符号を付して、その説明を省略する。

【0027】図 4 に示す例では、第一のグランド層 (GND 1) 7 a を多層回路基板一面に設け、当該基板に配設されたデジタル回路 9 が占める領域の下部のみに第二のグランド (GND 2) 7 b を配置した。この第二のグランド (GND 2) 7 b と第一のグランド層 (GND 1) 7 a との間には、第二のグランド (GND 2) 7 b よりも狭面積なデジタル電源層 11 が配置されている。更に、第一のグランド層 (GND 1) 7 a と第二のグランド層 (GND 2) 7 b とを接続するスルーホール 4 を、上記デジタル電源層 2 を囲むように、その外部に複数配置して、デジタル電源層 2 からの不要輻射を抑制している。又、上記のデジタル回路 9 とアナログ回路 10 との配置関係は、当該多層回路基板を上方から見下ろした場合に、即ち平面的に観て、両回路が重ならないように分離した配置とすることにより、上記実施の形態 1 及び 2 に記載の作用効果に加えて、デジタル電源層 2 からアナログ回路 10 へのカップリングを抑制することができる。

【0028】尚、図示の通り、アナログ電源 12 は、第一のグランド層 (GND 1) 7 a と第二のグランド層 (GND 2) 7 b とで挟まれた層間内には配置しない。又、上記の多層回路基板内にデジタルグランドとアナロググランドを設けた場合、デジタルグランドのみを用いて、第一のグランド層 (GND 1) 7 a 及び第二のグランド層 (GND 2) 7 b を形成する。又、デジタル電源層 2 とアナログ電源層 12 との両電源層を第一のグランド層 (GND 1) 7 a と第二のグランド層 (GND 2) 1 とで挟まない配設とすることにより、デジタル電源 2 からアナログ電源 12 へのカップリングを抑制

(5)

7

することができる。

【0029】実施の形態5実施の形態5は、上記実施の形態1乃至4で、アナログ回路とデジタル回路とを備えた多層回路基板において、アナログ回路の下方にデジタル電源を配線する場合、デジタル回路部とアナログ回路部との境にノイズフィルタを配設した構成である。図5はこの層構成を説明するための構成図である。図において、実施の形態1乃至4と同一部分は同一符号を付して、その説明を省略する。新たな符号として、13はノイズフィルタであり、この例ではデジタル電源用ノイズフィルタを用いている。

【0030】図5は、多層回路基板中にデジタル回路9とアナログ回路10とを設け、当該基板上面から見た場合に、なるべく重ならないように分離させてはいるが、多層回路基板の設計の都合上、止むをえずデジタル電源11をアナログ回路10の下方(下層部)に配線した例である。この場合、デジタル回路9とアナログ回路10との境界において、スルーホール4x、4xにより、デジタル電源2、11の配線を一旦当該基板上に引き上げて、上記の境目に配置されたノイズフィルタ13を介して配設する。これにより、デジタル電源11に重畠したノイズを第一のグランド層(GND1)7aと第二のグランド層(GND2)7bとで挟まれた部分から外部に流出させないようにすることができる。又、デジタル電源11に重畠したノイズからアナログ回路10へのカップリングを抑制することもできる。

【0031】実施の形態6。実施の形態6は、複数種類のデジタル電源を基板内に備えた上記実施の形態1乃至5の多層回路基板において、上記デジタル電源の全てを第一及び第二グランド層の間に挟んだ構成としたものである。図6はこの層構成を説明するための構成図である。図6において、実施の形態1乃至5と同一部分は同一符号を付して、その説明を省略する。

【0032】図6において、多層回路基板内に複数のデジタル電源11、11、11を有する場合、このデジタル電源11を全て第一のグランド層(GND1)1aと第二のグランド層(GND2)1bとの間に配置する。この場合、デジタル電源11の全ては、第一又は第二のグランド層1a、1bの占有領域のいずれが狭い方、図の例では第二のグランド層(GND2)1bよりも狭面積な形状にしておく。これら複数のデジタル電源11の外部を囲むように設けられたスルーホール4で、第一のグランド層(GND1)1a及び第二のグランド層(GND2)1bとを接続することで、これらのデジタル電源11からの不要輻射を抑制することができる。

【0033】実施の形態7。実施の形態7は、複数種類のデジタル電源を基板内に備えた上記実施の形態1乃至6の多層回路基板において、複数のデジタル電源の各々全てをグランド層の間に挟んだ構成である。図7は

8

この層構成を示す説明図である。図において上記実施の形態1乃至6と同一部分は同一符号を付して、その説明を省略する。

【0034】図7において、多層回路基板内に2つのデジタル電源11、11を上下方向にわたって二層に配設する場合、これらのいずれの電源層11、1よりも広面積のグランド層1a、1b、1cにて、各電源層11、11を交互に挟むように配置し、最下層に設けた第一のグランド層(GND1)1aと他のグランド層1b、1cを、これらの電源層11の外部に囲むように設けられたスルーホール4で電気的に接続することで、これらデジタル電源層11からの不要輻射を抑制させている。

【0035】尚、上記グランド層1a、1b、1cは、デジタル回路用のデジタルグランドのみであっても、デジタルグランドとアナロググランドとの両共通のグランドであってもよい。

【0036】実施の形態8。実施の形態8は、上記実施の形態1乃至7の何れかに係る低EMI多層回路基板を搭載した電子機器を示す。図8に示す符号14は電気・電子機器の一例としてのノート型パソコンであり、16はディスプレイ、17は本発明の低EMI多層回路基板である。本発明の低EMI多層回路基板を電気・電子機器に使用することにより、多層回路基板から不要に輻射するノイズを抑制することが可能になる。

【0037】このため、機器内部の他の基板やケーブル等へのカップリングを抑制することができる。又、その結果として、当該機器全体からの不要輻射をも低減させることができる。更に、このため、電気・電子機器内部にあるEMI対策部品、例えば、フェライトコア等を取り去ることができるので、電気・電子機器の小型化、低コスト化が可能となる。尚、本発明に係る低EMI多層回路基板のグランド層は、電気・電子機器と接続しても、接続しなくても構わない。

【0038】

【発明の効果】本発明によれば、第一のグランド層と第二のグランド層とによって、電源層からの不要輻射を簡単な手段にて容易に抑制することができるだけでなく、第一のグランド層と第二のグランド層とを電源層を囲むスルーホールで接続することによって、多層回路基板の電源層から横方向に流れる不要輻射をも抑制することができる。又、スルーホールに代えて、別途に、不要輻射抑制用の部材の調達や取付の必要がなくなり、製造コストを削減することができ、このスルーホールを用いることで、部品実装面で有効活用することができる。

【0039】又、本発明によれば、多層回路基板にデジタルグランドとアナロググランドを設ける場合、デジタルグランドのみを使用することにより、アナロググランドの電位変動を少なくすることができる。又、多層回路基板において、デジタルグランドとアナロググラ

(6)

9

ンドの区別がなく、単にグランドのみがある場合には、これを以って、第一のグランド層及び第二のグランド層を形成して、多層回路基板のグランドを強化することもできる。

【0040】又、本発明によれば、多層回路基板内に、第一のデジタルグランド層を基板一面に設け、このデジタル回路の下方に第二のデジタルグランド層を設け、この第二のデジタルグランド層よりも狭面積に形成した電源層を、この第一のデジタルグランド層と第二のデジタルグランド層との間に間隔を置いて配置し、更に、第一のデジタルグランド層と第二のデジタルグランド層とを接続するスルーホールを、電源層の外周側を囲むように、その外部に複数配置しているので、電源層からの不要輻射が抑制される。

【0041】又、本発明によれば、デジタル回路とアナログ回路とが重ならないように分離した配置とすることにより、デジタル電源層からアナログ回路へのカップリングを抑制することができる。

【0042】又、本発明によれば、デジタル回路とアナログ回路との境界に、スルーホールで電源の配線を一旦当該基板上に引き上げてノイズフィルタを配設することにより、電源に重畠したノイズを挟む第一のグランド層と第二のグランド層とでシールドして外部に流出させないようにすることができる。又、電源に重畠したノイズからアナログ回路へのカップリングを抑制することもできる。

【0043】本発明の低EMI多層回路基板を用いた電

10

気・電子機器によれば、多層回路基板から不要に輻射するノイズを抑制することが可能になる。又、機器内部の他の基板やケーブル等へのカップリングを抑制することができる。又、その結果として、当該機器全体からの不要輻射をも低減させることができる。更に、このため、電気・電子機器内部にあるEMI対策部品、例えば、フェライトコア等を取り去ることができるので、電気・電子機器の小型化、低コスト化が可能となる。

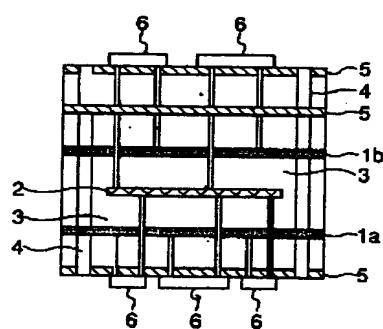
【図面の簡単な説明】

10 【図1】 実施の形態1の層構成を示す構成図である。  
 【図2】 実施の形態2の層構成を示す構成図である。  
 【図3】 実施の形態3の層構成を示す構成図である。  
 【図4】 実施の形態4の層構成を示す構成図である。  
 【図5】 実施の形態5の層構成を示す構成図である。  
 【図6】 実施の形態6の層構成を示す構成図である。  
 【図7】 実施の形態7の層構成を示す構成図である。  
 【図8】 実施の形態8の層構成を示す構成図である。  
 【図9】 従来の層構成を示す構成図である。

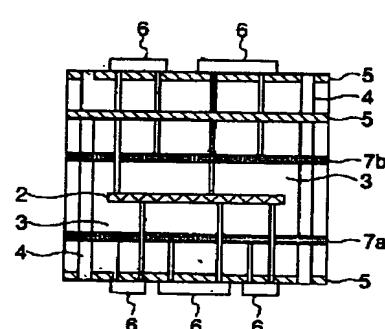
【符号の説明】

20 1 グランド層、1a 第一のグランド層、1b 第二のグランド層、12, 11 電源層（デジタル電源、アナログ電源）3 誘電体層、4 スルーホール、5 信号層、6 電子部品、7a 第一のデジタルグランド層、7b 第二のデジタルグランド層、9 デジタル回路、10 アナログ回路、13 ノイズフィルタ、14 電気・電子機器（ノート型パソコン）、17 低EMI多層回路基板。

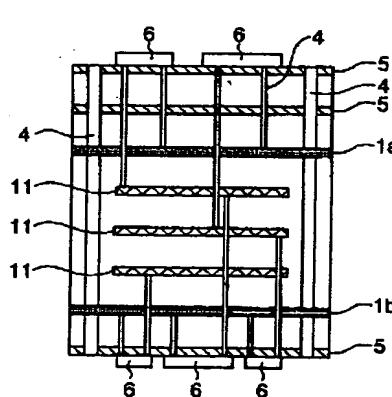
【図1】



【図2】

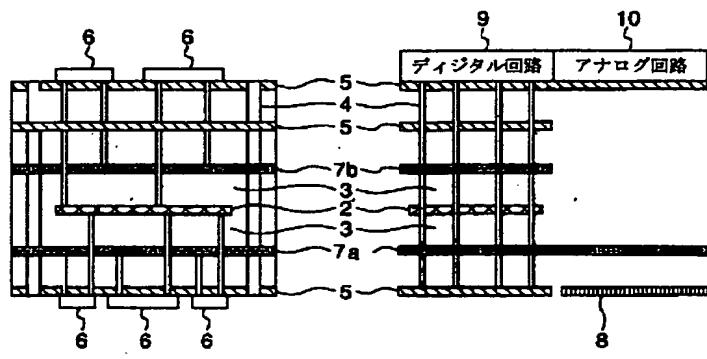


【図6】

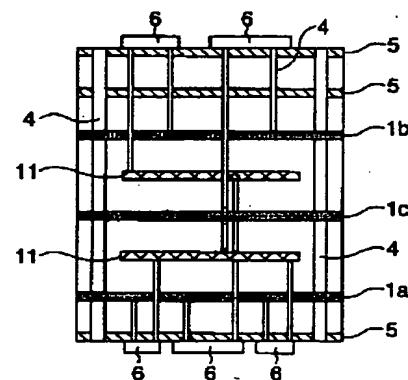


(7)

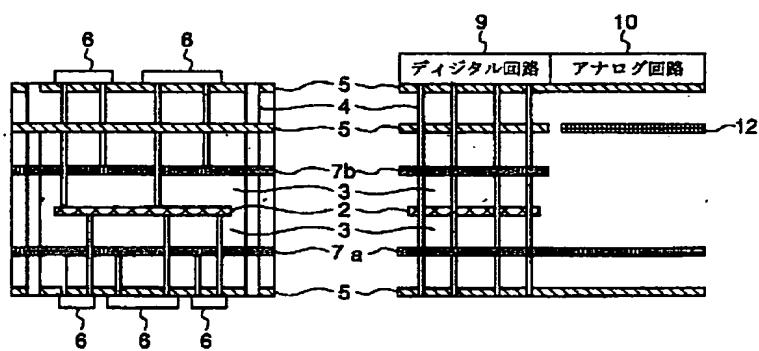
【図3】



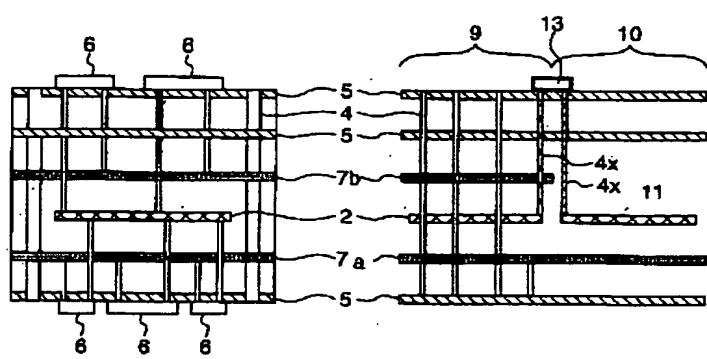
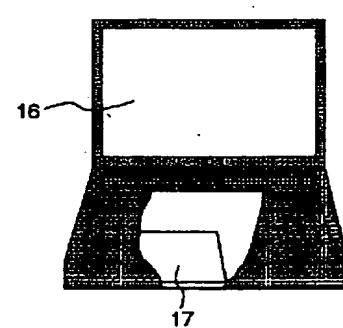
【図7】



【図4】

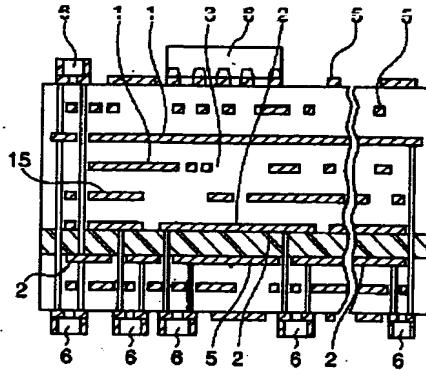


【図8】



(8)

【図9】



---

フロントページの続き

(72)発明者 宮崎 千春

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

F ターム(参考) 5E321 AA17 AA31 AA33 BB25 GG01

GG05 GG09

5E346 BB02 BB03 BB04 BB06 HH01